

Esercizio

Si consideri un sistema dotato di 8 pagine fisiche e 32 virtuali per ogni processo, ove siano presenti nella ready queue due processi P1 e P2 in questo ordine. Le pagine fisiche sono inizialmente vuote e le stringhe dei riferimenti alle pagine virtuali per i processi P1 e P2 sono le seguenti (ove R indica un accesso in lettura e W un accesso in scrittura):

P1:22R-20W-31W-18R-22W-19R-31R-20R-7W-7R-19W-19R-13R-7W-20W-19R

P2: 20W-30W-6R-18W-18R-19R-20R-19W-7R-8R-9R-8W-15R-16R-20W-3W

Supponendo che i processi si alternino regolarmente in esecuzione sulla CPU ogni 4 accessi alla memoria e che si utilizzi una politica di allocazione globale e l'algoritmo di sostituzione seconda chance (a due bit), si determini, mostrando il procedimento, la sequenza dei fault di pagina ed il loro numero.

Svolgimento dettagliato

Accesso: 22R (P1) – PF: SI			Accesso: 20W (P1) – PF: SI			Accesso: 31W (P1) – PF: SI			Accesso: 18R (P1) – PF: SI		
Pagine	Bit accesso	Bit modifica	Pagine	Bit accesso	Bit modifica	Pagine	Bit accesso	Bit modifica	Pagine	Bit accesso	Bit modifica
22(P1)	1	0	22(P1)	1	0	22(P1)	1	0	22(P1)	1	0
			20(P1)	1	1	20(P1)	1	1	20(P1)	1	1
						31(P1)	1	1	31(P1)	1	1
									18(P1)	1	0

Accesso: 20W(P2) – PF: SI

Pagine	Bit accesso	Bit modifica
22(P1)	1	0
20(P1)	1	1
31(P1)	1	1
18(P1)	1	0
20(P2)	1	1

Accesso: 30W(P2) – PF: SI

Pagine	Bit accesso	Bit modifica
22(P1)	1	0
20(P1)	1	1
31(P1)	1	1
18(P1)	1	0
20(P2)	1	1
30(P2)	1	1

Accesso: 6R(P2) – PF: SI

Pagine	Bit accesso	Bit modifica
22(P1)	1	0
20(P1)	1	1
31(P1)	1	1
18(P1)	1	0
20(P2)	1	1
30(P2)	1	1
6(P2)	1	0

Accesso: 18W(P2) – PF: SI

Pagine	Bit accesso	Bit modifica
22(P1)	1	0
20(P1)	1	1
31(P1)	1	1
18(P1)	1	0
20(P2)	1	1
30(P2)	1	1
6(P2)	1	0
18(P2)	1	1

Accesso: 22W(P1) – PF: NO

Pagine	Bit accesso	Bit modifica
22(P1)	1	1
20(P1)	1	1
31(P1)	1	1
18(P1)	1	0
20(P2)	1	1
30(P2)	1	1
6(P2)	1	0
18(P2)	1	1

Accesso: 19R(P1) – PF: SI

Pagine	Bit accesso	Bit modifica
22(P1)	0	1
20(P1)	0	1
31(P1)	0	1
19(P1)	1	0
20(P2)	0	1
30(P2)	0	1
6(P2)	0	0
18(P2)	0	1

Accesso: 31R(P1) – PF: NO

Pagine	Bit accesso	Bit modifica
22(P1)	0	1
20(P1)	0	1
31(P1)	1	1
19(P1)	1	0
20(P2)	0	1
30(P2)	0	1
6(P2)	0	0
18(P2)	0	1

Accesso: 20R(P1) – PF: NO

Pagine	Bit accesso	Bit modifica
22(P1)	0	1
20(P1)	1	1
31(P1)	1	1
19(P1)	1	0
20(P2)	0	1
30(P2)	0	1
6(P2)	0	0
18(P2)	0	1



Accesso: 18R(P2) – PF: NO

Pagine	Bit accesso	Bit modifica
--------	----------------	-----------------

22(P1)
20(P1)
31(P1)
19(P1)
20(P2)
30(P2)
6(P2)
18(P2)

Accesso: 19R(P2) – PF: SI

Pagine	Bit accesso	Bit modifica
--------	----------------	-----------------

22(P1)
20(P1)
31(P1)
19(P1)
20(P2)
30(P2)
19(P2)
18(P2)

Accesso: 20R(P2) – PF: NO

Pagine	Bit accesso	Bit modifica
--------	----------------	-----------------

22(P1)
20(P1)
31(P1)
19(P1)
20(P2)
30(P2)
19(P2)
18(P2)

Accesso: 19W(P2) – PF: NO

Pagine	Bit accesso	Bit modifica
--------	----------------	-----------------

22(P1)
20(P1)
31(P1)
19(P1)
20(P2)
30(P2)
19(P2)
18(P2)

Accesso: 7W(P1) – PF: SI

Pagine	Bit accesso	Bit modifica
--------	----------------	-----------------

7(P1)
20(P1)
31(P1)
19(P1)
20(P2)
30(P2)
19(P2)
18(P2)

Accesso: 7R(P1) – PF: NO

Pagine	Bit accesso	Bit modifica
--------	----------------	-----------------

7(P1)
20(P1)
31(P1)
19(P1)
20(P2)
30(P2)
19(P2)
18(P2)

Accesso: 19W(P1) – PF: NO

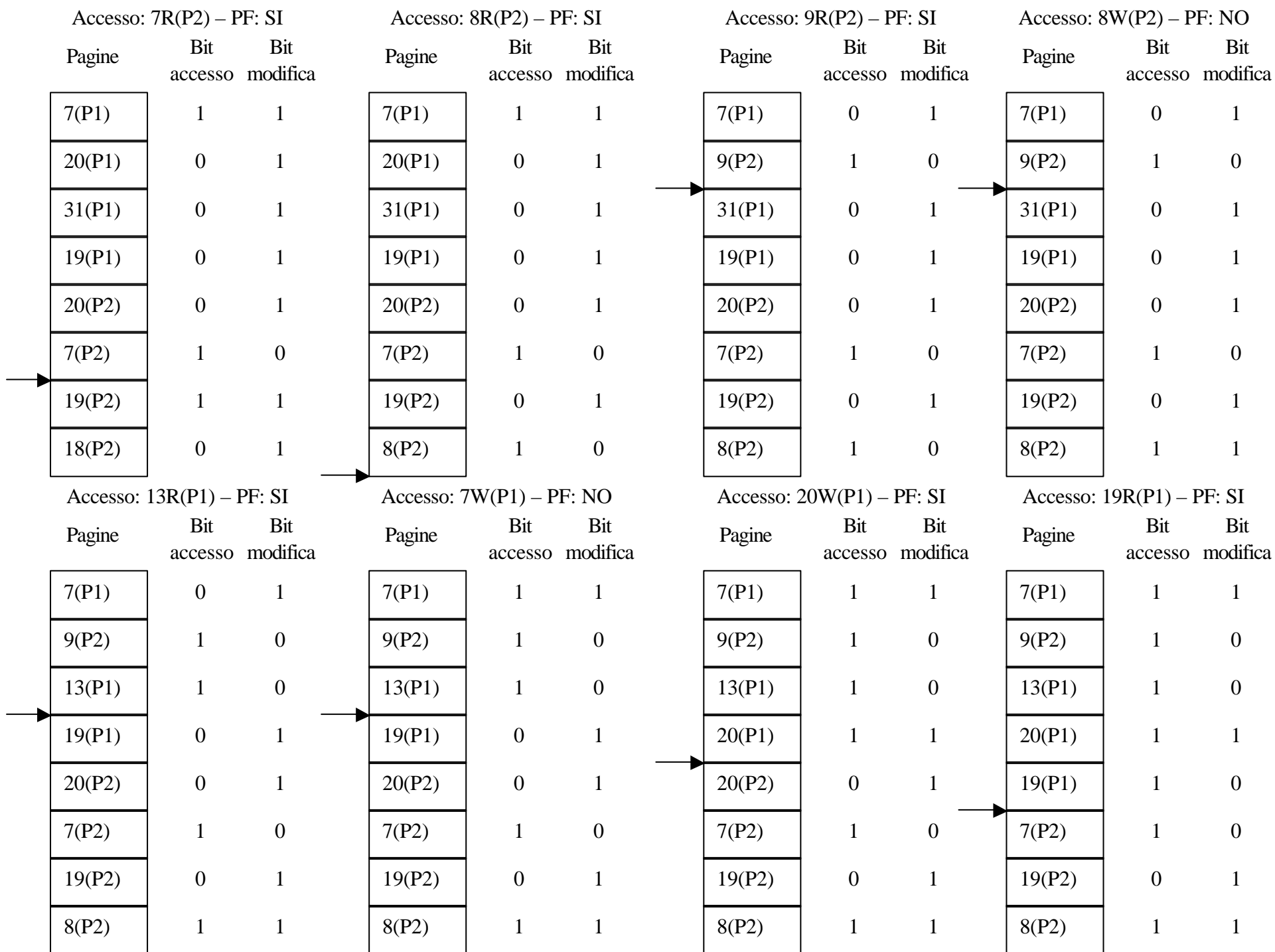
Pagine	Bit accesso	Bit modifica
--------	----------------	-----------------

7(P1)
20(P1)
31(P1)
19(P1)
20(P2)
30(P2)
19(P2)
18(P2)

Accesso: 19R(P1) – PF: NO

Pagine	Bit accesso	Bit modifica
--------	----------------	-----------------

7(P1)
20(P1)
31(P1)
19(P1)
20(P2)
30(P2)
19(P2)
18(P2)



Accesso: 15R(P2) – PF: SI			Accesso: 16R(P2) – PF: SI			Accesso: 20W(P2) – PF: SI			Accesso: 3W(P2) – PF: SI		
Pagine	Bit accesso	Bit modifica	Pagine	Bit accesso	Bit modifica	Pagine	Bit accesso	Bit modifica	Pagine	Bit accesso	Bit modifica
7(P1)	1	1	7(P1)	1	1	7(P1)	0	1	7(P1)	0	1
9(P2)	1	0	9(P2)	1	0	9(P2)	0	0	3(P2)	1	1
13(P1)	1	0	13(P1)	1	0	13(P1)	0	0	13(P1)	0	0
20(P1)	1	1	20(P1)	1	1	20(P1)	0	1	20(P1)	0	1
19(P1)	1	0	19(P1)	1	0	19(P1)	0	0	19(P1)	0	0
7(P2)	0	0	16(P2)	1	0	16(P2)	0	0	16(P2)	0	0
15(P2)	1	0	15(P2)	1	0	20(P2)	1	1	20(P2)	1	1
8(P2)	1	1	8(P2)	1	1	8(P2)	0	1	8(P2)	0	1

Commento

Nei primi 8 accessi (4 per ciascun processo) avvengono 8 page fault di primo caricamento delle relative pagine. Si ricordi che le pagine virtuali di pari numero in processi distinti sono distinte a tutti gli effetti.

Nel nono accesso viene aggiornato il bit di modifica della pagina 22(P1).

Nel decimo accesso si ha un page fault e si opera la selezione della pagina da sostituire, vengono azzerati tutti i bit di accesso e viene quindi selezionata la prima pagina non modificata, la lancetta viene posta tra la pagina inserita e la successiva.

Nei tre successivi accessi (due per P1 e uno per P2) vengono assegnati di nuovo a 1 i relativi bit di accesso.

Al 14° accesso (19R di P2) si ha un page fault: viene selezionata l'unica pagina con entrambi i bit a zero, la lancetta viene posizionata di conseguenza.

Nei due successivi accessi non si hanno page fault e vengono opportunamente aggiornati i bit di accesso o di modifica.

Al 17° accesso (7W di P1) si ha un page fault: viene selezionata la prima pagina successiva alla lancetta con configurazione dei bit 0-1, vengono azzerati i bit di accesso delle pagine intermedie attraversate dalla lancetta (in questo caso solo l'ottava pagina fisica).

I successivi tre accessi non danno luogo a page fault.

Al 21° accesso (7R di P2), così come nei due successivi, si ha un page fault: viene selezionata la prima pagina successiva alla lancetta con configurazione dei bit 0-1 e vengono azzerati i bit di accesso delle pagine intermedie attraversate dalla lancetta.

Il 24° accesso (8W di P2) non dà luogo a page fault, viene aggiornato il bit di modifica.

Il 25° accesso (13R di P1) dà luogo a page fault, in questo caso la pagina sostituita, la prima con configurazione 0-1, è immediatamente successiva alla lancetta.

Il 26° accesso non dà luogo a page fault, viene aggiornato il bit di accesso.

Il 27° accesso (20W di P1) dà luogo a page fault, in questo caso la pagina sostituita, la prima con configurazione 0-1, è immediatamente successiva alla lancetta.

Il 28° accesso (19R di P1) dà luogo a page fault, anche in questo caso la pagina sostituita, la prima con configurazione 0-1, è immediatamente successiva alla lancetta.

Il 29° accesso viene selezionata la prima pagina successiva alla lancetta con configurazione dei bit 0-1, vengono azzerati i bit di accesso delle pagine intermedie attraversate dalla lancetta (in questo caso una sola).

Al 30° accesso (16R di P2) si ha un page fault: viene selezionata l'unica pagina con entrambi i bit a zero, la lancetta viene posizionata di conseguenza.

Al 31° accesso si ha un page fault: vengono azzerati tutti i bit di accesso e viene quindi selezionata la prima pagina non modificata.

Al 32° accesso si ha un page fault: viene selezionata la prima pagina successiva alla lancetta con configurazione dei bit 0-0.